

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-157937

(43)Date of publication of application : 05.07.1991

(51)Int.Cl.

H01L 21/336

H01L 27/088

H01L 29/784

(21)Application number : 02-297027

(71)Applicant : PHILIPS GLOEILAMPENFAB:NV

(22)Date of filing : 01.11.1990

(72)Inventor : VERHAAR ROBERTUS D J

(30)Priority

Priority number : 89 8914434

Priority date : 03.11.1989

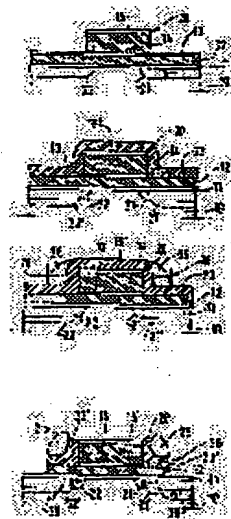
Priority country : FR

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE HAVING MIS TRANSISTOR

(57)Abstract:

PURPOSE: To improve integration density by providing a first insulating layer between first and second polycrystal layers with thickness more than that capable of electric conduction, operating ion placing to a prescribed part, removing the first insulating layer outside each gate island, and adhering and conducting a third polycrystal layer.

CONSTITUTION: An Si oxide insulating gate layer 11 is provided on a semiconductor substrate 10, and a first polycrystal layer 12 is adhered on the layer 11, and conducted by high concentration doping. An Si oxide thin first insulating layer 13 is formed on the layer 12, a second polycrystal layer 14 is adhered to the layer 13 surface so as to be thicker than the layer 12, and conducted in the same way as the layer 12. Then, a second insulating layer 15 is formed so as to be thicker than the layer 13 after the layer 14 is thermally oxidized. Next, the partial etching of layers 15 and 14 is operated so that a gate island 20 whose lateral direction is almost 1 μ m can be formed, and (n)-type low concentration doping is operated by ion placing through the layers 13, 12, and 11 by using the island as a mask so that weakly doping-processed parts 21 and 22 of source and drain areas can be formed. Then, the part of the layer 13 outside the island 20 is removed, and a conducted polycrystal layer 23 is adhered. Thus, reliability and integration intensity can be improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A) 平3-157937

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)7月5日

H 01 L 21/336
27/088
29/7848422-5F
7735-5FH 01 L 29/78
27/083 0 1 L
1 0 2 B

審査請求 有 請求項の数 8 (全 11 頁)

⑭ 発明の名称 MISトランジスタを具備する半導体デバイスを製造する方法

⑮ 特 願 平2-297027

⑯ 出 願 平2(1990)11月1日

優先権主張 ⑰ 1989年11月3日 ⑱ フランス(FR) ⑲ 8914434

⑳ 発 明 者 ロベルタス・ドミニカ オランダ国 アインドーフエン フルーネ ヴアウツウエ
ス・ヨセフ・フェルハ ツハ 1
ール㉑ 出 願 人 エヌ・ベー・フィリッ オランダ国 アインドーフエン フルーネヴァウツウエツ
プス・フルーイランベ ハ 1
ンファブリケン

㉒ 代 理 人 弁理士 沢田 雅男

明 細 書

1. 発明の名称

MISトランジスタを具備する半導体デバイスを製造する方法

2. 特許請求の範囲

1. 少なくとも1個のMIS型トランジスタを有する半導体デバイスを製造する方法であって、該トランジスタが弱めにドーピングされた部分と該部分に対して横方向に僅かにずれると共に高度にドーピングされた部分とを各々有するドレイン領域及びソース領域を具備する一方上記の弱めにドーピングされた部分を覆うと共に前記の高度にドーピングされた部分に向かって延びるゲート電極を具備し、絶縁ゲート層により覆われた半導体基体上に、ドーピングにより導電化される第1の多結晶層を付着する工程と、
後でエッチングストップパとして使用するた

めの薄い第1の絶縁層を形成する工程と、

前記第1の多結晶層よりも厚い第2の多結晶導電層を付着する工程と、

前記第1の絶縁層よりも厚い第2の絶縁層を形成する工程と、

各ゲート島を、前記第2の絶縁層と前記第2の多結晶層とをこれら島の外側において部分エッチングすることにより規定する工程と、
上記各ゲート島を打ち込みマスクとして用い、前記ソース及びドレイン領域のうちの前記の弱めにドーピングされた部分をイオン打ち込みにより作成する工程と、

第3の絶縁層を付着し、次いで該層の主要な部分を異方性エッチングすることにより前記各ゲート島の縁部上に絶縁スペーサを各々形成する工程であって、これら絶縁スペーサがそれらの周部で拡幅されたゲート島を限定しているような工程と、

拡幅された前記ゲート島の外側において前記多結晶材料を選択的にエッチングすること

により除去する工程と、

前記の拡幅されたゲート島を打ち込みマスクとして用い、前記ソース及びドレイン領域のうちの前記の高度にドーピングされた部分をイオン打ち込みにより作成する工程と、

当該トランジスタの能動領域及びゲートとの接触接続部及び相互接続部を設けるのに必要な当該デバイスの仕上げ工程と、を順次実行するような方法において、

前記第1の絶縁層は、前記第1の多結晶層と前記第2の多結晶層との間の電気伝導を得ることが可能な厚さを越えるような厚さを有し、

前記ソース及びドレイン領域の弱めにドーピングされた部分のイオン打ち込みを実行した後、前記第1の絶縁層における前記各ゲート島の外側に位置する各部分がエッチングにより除去され、

次いで、当該組立体上に多結晶材料の第3の層を付着し、この第3の多結晶層は前記絶

縁スペーサが形成される前にドーピングにより導電化される、

ことを特徴とするMISトランジスタを有する半導体デバイスを製造する方法。

2. 請求項1に記載の方法において、前記第3の多結晶層を付着した後であって前記絶縁スペーサを形成する前に、前記ソース及びドレイン領域のうちの中間のドーピングを有する各付加部分を形成することを特徴とするMISトランジスタを有する半導体デバイスを製造する方法。

3. 請求項1又は請求項2に記載の方法において、前記第1の絶縁層が5nmを越え好ましくは20nm以下の厚さを有し、前記第2の絶縁層が40nmを越える厚さを有している、ことを特徴とするMISトランジスタを有する半導体デバイスを製造する方法。

4. 請求項1ないし3のいずれか一項に記載の方法において、前記の第3の多結晶層の厚さは30nmと100nmとの間にあり、好ましくは約

- 3 -

50nmであることを特徴とするMISトランジスタを有する半導体デバイスを製造する方法。

5. 請求項1ないし4のいずれか一項に記載の方法において、前記絶縁ゲート層、前記第1の絶縁層、前記第2の絶縁層及び前記第3の絶縁層が酸化シリコンから形成されることを特徴とするMISトランジスタを有する半導体デバイスを製造する方法。

6. 請求項1ないし4のいずれか一項に記載の方法において、前記絶縁ゲート層、前記第1の絶縁層及び前記第3の絶縁層が酸化シリコンから形成され、前記第2の絶縁層が窒化シリコン層により覆われた酸化シリコン層からなることを特徴とするMISトランジスタを有する半導体デバイスを製造する方法。

7. 請求項5又は請求項6に記載の方法において、

前記絶縁スペーサを形成した後、前記多結晶材料の保護されていない部分の選択的エッチングによる除去工程が等方性エッチング状

況下で所与の期間延長され、これにより前記第1及び第3の多結晶層の内の上記の保護されていない部分に溝が各々形成されるようにし、

次いで、当該半導体デバイス上に既に存在する他の絶縁層に対して選択的なエッチング特性を有する特定の絶縁材料を用いて、この特定の絶縁材料の層の付着工程と、該層の前記各溝の外側に位置する主要部分の異方性エッチング工程とを順次実行することにより、前記各溝が充填される、

ことを特徴とするMISトランジスタを有する半導体デバイスを製造する方法。

8. 請求項7に記載の方法において、前記の特定の絶縁材料が窒化シリコンであり、この絶縁材料の付着層が約100nmの厚さを有している、ことを特徴とするMISトランジスタを有する半導体デバイスを製造する方法。

3. 発明の詳細な説明

- 5 -

- 6 -

この発明は少なくとも1個のMIS型トランジスタを有する半導体デバイスを製造する方法であって、該トランジスタが弱めにドーピングされた部分と該部分に対して横方向に僅かにずらされると共に高度にドーピングされた部分とを各々有するドレイン及びソース領域を具備する一方、上記の弱めにドーピングされた部分を覆うと共に前記の高度にドーピングされた部分に向かって延びるゲート電極を具備し、絶縁ゲート層により覆われた半導体基体上に、

ドーピングにより導電化される第1の多結晶層を付着する工程と、

後にエッチングストップパとして使用するための薄い第1の絶縁層を形成する工程と、

前記第1の多結晶層よりも厚い第2の多結晶導電層を付着する工程と、

前記第1の絶縁層よりも厚い第2の絶縁層を形成する工程と、

各ゲート島を前記第2の絶縁層と前記第2の多結晶層とをこれら島の外側において部分エッチン

グすることにより規定する工程と、

上記各ゲート島を打ち込みマスクとして用いて前記ソース及びドレイン領域のうちの弱めにドーピングされた部分をイオン打ち込みにより作成する工程と、

第3の絶縁層を付着すると共に該層の主要な部分を異方性エッチングすることにより前記各ゲート島の縁部上に絶縁スペースを各々形成する工程であって、これら絶縁スペースが拡張されたゲート島をそれらの周部で限定しているような工程と、

上記の拡張されたゲート島の外側において前記多結晶材料を選択的にエッチングすることにより除去する工程と、

前記の拡張されたゲート島を打ち込みマスクとして用いて前記ソース及びドレイン領域のうちの前記の高度にドーピングされた部分をイオン打ち込みにより作成する工程と、

当該トランジスタの能動領域及びゲートとの接触接続部及び相互接続部を設けるに必要な当該デバイスの仕上げ工程と、

- 7 -

を順次実行するような方法に関する。

〔背景技術〕

突出ゲート（逆T字状ゲートとも呼ばれる）を有するMISトランジスタは、1988年12月発行の雑誌1888「Transactions on Electron Devices」第35巻、第12号に掲載されたR. Izawa、T. Kure 及びB. Takeda による「Impact of the Gate-Drain Overlapped Device (GOLD) for deep submicrometer VLSI」なる文献から既知である。

非常に高い集積密度を持つ集積回路を構成することを企図するこの種のトランジスタの製造方法も上記の文献に示されている。

上記文献の著者は、サブミクロンの寸法のMISトランジスタのドレイン降服電圧、ホットキャリアの放出及び／又は不十分な相互コンダクタンスに関する特性の限界を、ソース及びドレイン領域のうちの弱めにドーピングされた部分を覆うと共にこれら領域の高度にドーピングされた部分に向かって適化されるべき距離にわたり延びるようなゲート電極を用いることにより取り除くことが

できることを示している。

上記のトランジスタのゲートは多結晶シリコンの2つの別の層から形成され、これにより逆T字の特徴的形狀を得るようにしている。この既知の方法によれば、上記の2つの多結晶層は0.5 nmないし1 nm程度の極端に薄い酸化物層により、該層がゲート島を形成する際に第2の多結晶層のエッチングを阻止する基準として作用し得るが、それでもなおかつ完成デバイスの拡張されたゲート島の内部における前記第1及び第2の多結晶層の間の十分な電気伝導を保証するように、分離されている。

上記の既知の方法に固有な不利な点は、同じような薄い厚さを持つ酸化物層を再現性を以て得ることが困難であるということにある。この場合、上記のような層を得るには、そのエッチングストップパとしての機能の有効性と、当該トランジスタの動作に、即ち広い周波数スペクトルにわたってのゲートの下部への電圧の伝達の有効性に寄生効果が入り込まないようにするための該層の高電気伝

- 8 -

- 9 -

- 10 -

導性と、の間の非常に幅の狭い妥協が要求される。

従って、この発明は既知の方法の上述したような不利な点を除去する改善策を提案する。この発明は、完成デバイスの拡張されたゲート島の内部における前記第1及び第2の多結晶層間の電気伝導が所謂第1の絶縁層の厚さとは独立した手段により得ることができるというアイデアと、従って当該層としてかなり厚い厚さの選択の自由度があるので、該層はエッチングストップとして使用すべく再現性を以てかつより余裕度を以て容易に得ることができるというアイデアとに基づいている。
【発明の概要】

この発明によるMISトランジスタを有する半導体デバイスを製造する方法によれば、本明細書の冒頭で述べたような種類の半導体デバイスを製造する方法において、

前記第1の絶縁層が、前記第1の多結晶層と前記第2の多結晶層との間の電気伝導を得ることができる厚さを越えるような厚さを有し、

ソース及びドレイン領域のうちの前記の弱めに

- 11 -

分において少なくとも一つの多結晶層により保護される、ということにある。

また、前記第1の絶縁層が5 nmを越え好ましくは20 nm以下の例えば10 nmの厚さを有し、前記第2の絶縁層が40 nmを越える厚さを有するようにするのが有利である。このようにすると、ゲート島の外側に位置する第1の絶縁層を、エッチングマスクを用いずにこれらゲート島上の第2の絶縁層の厚さの一部を残存させたままで除去することができる。何故なら、第2の絶縁層が極めて厚く、エッチング処理の期間を制限することにより残存させることができるからである。

上記の場合、第2の絶縁層のこのように残存する部分は後で、第3の多結晶層の主要部分を除去する際にエッチングストップとして使用される。

したがって、本発明による方法は、全ての絶縁層が例えば酸化シリコンのような同一の材料で形成されている場合にも当該方法を簡単な方法で実行することができるという利点を有している。

本発明による方法の一変形例によれば、前記絶

ドーピングされる部分のイオン打ち込みを実行した後、上記第1の絶縁層における各ゲート島の外側に位置する部分がエッチングにより各々除去され、

次いで、当該組立体上に第3の多結晶層を付着し、この第3の多結晶層は前記絶縁スペースが形成される前にドーピングにより導電化される、ことを特徴としている。

この発明の方法によれば、拡張された各ゲート島内の電気的連続性が、これらゲート島の周部に存在すると共に一方においては当該島における第2の多結晶層の残存部分の表面と、他方においては第1の多結晶層における前記絶縁スペースの下方に位置する部分と各々接触する前記第3の多結晶層の小部分により確実なものとされる。従って、第1の絶縁層は当該層が導通するほど薄い厚さを持つように選定する必要がなく、かくしてその結果は容易に再現性が得られる工程となる。

本発明による方法の他の利点は、前記絶縁ゲート層が当該半導体デバイスの製造工程の主要な部

- 12 -

絶縁ゲート層、前記第1の絶縁層及び前記第3の絶縁層が酸化シリコンから形成され、前記第2の絶縁層が窒化シリコン層により覆われた酸化シリコン層から形成される。このようにすれば、第1の絶縁層をゲート島の外側において選択的な方法により除去することができ、該ゲート島上の第2の絶縁層の一体性が信頼性をもって維持される。

また、本発明による方法によれば、当該半導体デバイス上に既知の技術に基づく感光性マスクにより位置決めされた接触窓を開口することにより接触接続部を設けることが可能である。

しかしながら、上記のような接触接続部は、接触窓を形成するためのマスクを必要としないような例えばケイ化金属を用いたセルフアライメント技術により設けることができるようにすることも望ましい。

上記の場合は、当該トランジスタのかんりの寸法の低減が可能になり、極めて多数の素子を有する半導体デバイスの集積密度を向上させることができる。

- 13 -

- 14 -

このような可能性は本発明による方法の特定の実施例により達成することができ、該実施例は、

前記絶縁スペーサを形成した後、多結晶材料のうちの保護されていない部分の選択的エッチングによる除去工程が等方性エッチング状況下で所与の期間延長され、これにより前記第1及び第3の多結晶層の内の上記の保護されていない部分に溝が各々形成されるようにし、

次いで、当該半導体デバイス上に既に存在する他の絶縁層に対して選択的なエッチング特性を持つ特定の絶縁材料を用いて、この特定の絶縁材料の層の付着工程と、該層のうちの前記各溝の外側に位置する主要部分の異方性エッチング工程とを順次実行することにより、前記各溝が充填されるようにしたことを特徴としている。この場合、上記の溝を充填する工程は例えば酸化シリコンを用いて実施することができる。

次いで、表面に酸化シリコンを有する当該半導体デバイスにおける各領域上に接触窓を選択的に開口することができ、一方これらの領域の周囲に

は前記の特定の絶縁材料の条片が存在し、これら条片が能動領域上に形成される各接触表面の間の必要な横方向の絶縁体を形成する。

[実施例]

以下、本発明の実施例を添付図面を参照して詳細に説明する。

なお、図を明瞭にするため、各図においては寸法の比は考慮に入れられておらず、特に厚さ方向の寸法は著しく増大されている。また、異なる図における対応する構成要素には概ね同様の符号が付与されている。

第1図は、特にP型シリコンの半導体基体10の表面部分を示し、該基体10上には好ましくは酸化シリコンからなり約20nmの厚さを持つ絶縁ゲート層11が設けられている。この絶縁ゲート層11上には、次いで、50nmの厚さを持つ第1の多結晶層12が付着され、該多結晶層12は従来の技術により高濃度でドーピングすることにより（特に上記付着の際にドーピングすることにより）導電化される。

上記第1の多結晶層12の表面には、次いで、10

- 15 -

nmの厚さの酸化シリコンからなると共に後でエッチングストップパとして作用させることを意図する薄い第1の絶縁層13が形成される。次いで、この組立体の表面には第2の多結晶層14が付着され、当該層もドーピングにより導電化される。この場合、上記第2の多結晶層14は第1の多結晶層12よりも厚く、例えば200 nmの厚さを有している。この組立体上には、次いで、第2の絶縁層15が形成されるが、この絶縁層は前記第1の絶縁層13よりも厚く、40nmを超える（例えば60nmの）厚さを有している。この第2の絶縁層15は、前記第2の多結晶層を熱酸化することにより、又は酸化シリコンの層を化学蒸気相付着することにより得ることができる。

次に、第2図に示すように、従来のマスク及びエッチング技術を使用することにより第2の絶縁層15と第2の多結晶層14との部分エッチング処理を行い、ゲート島20を各々形成する。ここで、本発明が、特に上記ゲート島20の横方向の寸法が1 μ mに近い又はそれ未満であるようなM I S T

- 16 -

ランジスタの製造に関するものであることに注意されたい。

次いで、イオン打ち込みによりn型の低濃度のドーピングを行って、ソース領域及びドレイン領域のうちの弱めにドーピングされた部分21及び22を形成する。上記イオン打ち込みは第1の絶縁層13、第1の多結晶層12及び絶縁ゲート層11を介して行われるが、この間前記ゲート島20をこのイオン打ち込みに対する保護マスクとして用いる。なお、このイオン打ち込みは、例えば、磷イオンを用い70 KeVのエネルギーにおいて $4 \cdot 10^{13}$ at/cm²のドーズ量（線量）で実現することができる。

次に、第1の絶縁層13のうちの前記ゲート島20の外側に位置する各部分を第3図に示すようにエッチングにより除去する。そして、このようにして形成された組立体上に、ドーピングにより導電化された第3の多結晶層23が付着される。この場合、上記第3の多結晶層23は30nmと100 nmとの間にあり、好ましくは50nmに近い厚さを持つようにするのが有利である。

- 17 -

- 18 -

本発明による方法によれば、以下の記載から明らかとなるように、ゲート島20内における第1の多結晶層12と第2の多結晶層14との間の電気的連続性は第1の絶縁層13を介する導電によっては得られないが、これとは逆に第3の多結晶層23により得られる。従って、第1の絶縁層13の厚さは電気伝導が得られるような厚さよりも厚く選定することができ、例えば10nm程度にするのが有利である。従って、既知の方法に関して言えば、この第1の絶縁層13は、ゲート島20の形成時における第2の多結晶層14のエッチング処理の終了段階でエッチングストップとしての機能をより効果的に果たすことになることと共に、より余裕をもって得ることができる。

各ゲート島20の外側に位置する第1の絶縁層13の除去は、第2の絶縁層15が第1の絶縁層13よりも大幅に厚いという事実と、期間が制御されたエッチング処理により第2の絶縁層15の一部15'をゲート島20の表面に残したまま該ゲート島20の外側に位置する第1の絶縁層13を完全に除去するこ

- 1 9 -

部に絶縁スペーサ25を形成する本発明における後続する工程の結果を示している。この場合、上記既知の技術は、例えば200 nmの比較的厚い厚さを有しかつ酸化シリコンからなる第3の絶縁層の付着と、これに次いでなされる該層の主要部分の異方性エッチングとを用いるが、該技術に関してはここでは詳細に説明する必要はないであろう。そして、上記各絶縁スペーサ25がそれらの周部で、拡張された各ゲート島26を限定している。

第5図に概念的に示した下記の工程は、表面に露出した多結晶材料、即ち拡張されたゲート島26の外側に位置する第1及び第3の多結晶層並びに第3の多結晶層のうちの前記ゲート島20上に位置する部分、を選択的な異方性エッチングにより除去することにある。このエッチングは塩素に富んだプラズマにより実行することができる。マスクを用いず実施することができるこのエッチング工程の間、各々が酸化シリコンからなる絶縁ゲート層11、絶縁スペーサ25及び第2の絶縁層の残存厚さ部分15'が対応する各位置においてエッチン

- 2 1 -

とが可能であるという事実により、マスクを用いず実施することができる。

前記第3の多結晶層23がゲート島20の各縁部を適切に覆うようにするため、例えば低圧化学蒸気相付着法(LPCVD)等の付着法が用いられ、トポグラフィックな凹凸構造を含む良好な表面被覆を確実なものとする。

第3の多結晶層23の厚みによる各ゲート島20の幅の広がり(拡張)を考慮に入れて、本発明による方法はこの段階においてイオン打ち込みにより第3図に破線21'、22'で示すようにMISトランジスタのソース及びドレイン領域の相補的なドーピングを行い得るという非常に興味のある可能性を提供する。この場合、上記のドーピングの程度は前記部分21及び22のドーピングの程度より高いが、後に形成される n^+ に高度にドーピングされた各部分のよりも低い。上記の工程は燐イオンを用い70 KeVのエネルギーにおいて $2 \cdot 10^{14} \text{at/cm}^2$ のドーズ量で実施することができる。

第4図は、既知の技術によりゲート島20の各縁

- 2 0 -

グストップパを構成することになる。そして、前記第3の多結晶層23のうちL字状をした各小部分23'のみが残存する。この場合、これらの小部分23'は前記ゲート島の周部に位置すると共に、一方においては前記ゲート島における第2の多結晶層14の残存部分の表面と、他方においては第1の多結晶層12における絶縁スペーサ25の下方に位置する部分とに各々電気的に接触する。次いで、当該MISトランジスタにおけるソース及びドレイン領域のうちの n^+ 型に高度にドーピングされた領域28及び29のドーピングが、拡張されたゲート島26を打ち込みマスクとして用いてイオン打ち込みにより実施される。このイオン打ち込みは、砒素を用い100KeVのエネルギーにおいて $2 \cdot 10^{15} \text{at/cm}^2$ のドーズ量で実施することができる。このように、第5図は当該半導体デバイスの、特にその能動領域(ソース、ドレイン及びゲート)との接触接続部を設ける仕上げ工程に先立つ当該工程において見られる状態を示している。ここで、この図においては、ソース及びドレイン領域のうちの

- 2 2 -

異なるドーピングを有する部分21、21'、28 - 22、22'、29が、ドレイン-基体間のダイオードの高降服電圧に有利に働く一方、当該接合部を通過する際の高エネルギーの電荷キャリアの放出を低減すると同時に、当該デバイスの電気的特性の長期間にわたる改善された安定性を可能とするのに各々適したような順序で横方向に階段状に存在することに注意されたい。

この方法における第5図に示した段階の後、当該デバイスは既知の技術に従い感光マスクにより位置決めされた接触窓を開口することにより仕上げられるが、これに関してはここでは詳細に説明する必要はないであろう。

第6図は上述した方法の変形例を示し、ここでは前記第2の絶縁層が窒化シリコン層15bにより覆われた酸化シリコン層15aからなっている。第1図を参照して前述したような方法に比して、ここで述べている当該変形例は例えば約50nmに選定されるような厚さを有する窒化シリコン層15bを追加することになる。前述した方法における第2

図に示した段階に該当するような段階における当該デバイスを示す第6図は、酸化シリコンからなる前記第1の絶縁層13の部分がゲート島20上にある窒化シリコン層15bに対して選択的にエッチングされ得ることを示している。このようなエッチングはフッ化水素酸およびフッ化アンモニウム緩衝液中での湿式エッチングにより行うことができる。このエッチングの選択性により、ゲート島20上に位置する第2の絶縁層15a、15bは一体のまま維持することができ、したがって当該第2の絶縁層における酸化シリコンからなる部分15aは絶縁スペーサを形成した後各多結晶層を選択的に除去するためのエッチングストップとして信頼性をもって使用することができる。

第7図ないし第10図は、セルフアライメント技術により、特に金属ケイ化物を使用することにより、当該デバイス上に金属接触接続部を設けることができるような本発明の他の実施例を示している。

この実施例においては、第1図ないし第5図を

- 23 -

参照して説明した方法におけるこれらの始めの方の各段階は同じである。第7図に示すように、保護されていない多結晶材料の選択的エッチングによる除去を、等方性エッチング条件下において所与の期間にわたり延長し、これにより各スペーサ25と第2の絶縁層の残存部分15'との間における前記第3の多結晶層に溝30を各々形成する一方、拡張された前記ゲート島26の周部であって上記絶縁スペーサ25の下部に位置する第1及び第3の多結晶層に溝31を形成する。この場合、好ましくは多結晶材料の上記エッチングを2つの工程、即ち溝を形成せずに多結晶材料を除去するための塩素系(chlorine-based)プラズマ中での反応イオンエッチング(RIE)を行う第1の工程と、フッ素プラズマ中における乾式エッチングか又は例えばフッ化水素酸及び硝酸の溶液中における湿式エッチングのどちらかの等方性エッチングを行う第2の工程とで実行する。ここで、各溝31の形成が、ソース及びドレイン領域のn・ドーピング28及び29の横方向の大きさと組み合わせられる当該MIS

- 24 -

トランジスタのゲート電極の大きさに影響すると共に、ドレイン接合における該接合の高降服電圧に有利に働くような電界の最適分布が得られることを可能にすることに注意されたい。

拡張されたゲート島26を打ち込みマスクとして用いてイオン打ち込みを行うことによりソース領域及びドレイン領域のうちの高度にドーピングされた部分28及び29を形成した後(これらのドーピングされた部分は前述したのと同様の方法により得ることができる)、この構成の組立体は少なくとも前記各溝30及び31を充填するに十分な厚さを持つ窒化シリコン層46により覆われる。上記の窒化シリコン層46を付着するに用いられる方法としては、トポグラフィックな凹凸構造の良好な複製が得られるような、例えば低圧化学蒸気相付着法等を選択しなければならない。また、この窒化シリコン層46は、例えば300 nmの平均厚さで付着される。

上記層46を形成するには窒化シリコンの代わりに他の絶縁材料を用いることもできる。唯一の重

- 25 -

- 26 -

要な点は、この目的のために選択される絶縁材料は、前記層46が当該工程の後続段階において酸化シリコンがエッチング除去される時に残存するような選択的なエッチング特性を有していなければならないということにある。

次いで、第8図に示すように、上記窒化シリコン層46の主要な部分は、前記溝30及び31を各々満たす部分46'及び46"のみを残存させて除去される。この窒化シリコンを除去する工程は酸化シリコンからなる各スペーサ25を形成するために用いた工程と類似のものである。上記工程は塩素系プラズマ中での反応イオンエッチングにより実行することができ、該エッチングは酸化シリコンに対して高度に選択的である。

この工程においては、絶縁ゲート層11、各絶縁スペーサ25及びゲート島20上の第2の絶縁層の各部分15'（これら3つは全て酸化シリコンからなる）が、これら各層により保護された領域においてエッチングストッパを構成する。

かくして、マスクを用いることなく選択的なエ

ッチングにより、酸化シリコンからなる絶縁ゲート層11の露出部分及び各ゲート島20を覆う第2の絶縁層15'の露出部分を除去することが可能である。当該トランジスタの異なる能動領域、即ちソース、ドレイン及びゲート、の間の電氣的絶縁は、酸化物により覆われた各領域の上記の選択的エッチングの後に存在している窒化シリコン層46の各残存部分46'及び46"により達成される。なお、第9図に示すように、酸化シリコンのエッチング時間を制限することにより前記絶縁スペーサ25の充分な部分を残すことができ、これにより窒化シリコン層46の各部分46'及び46"の間の第3の多結晶層の各部分23'の絶縁を確実なものとする。しかして、ソース接触、ドレイン及びゲート領域50、51及び52が被覆されると共に、例えばケイ化チタン等のケイ化物を使用して既知のセルフアライメント技術によれば、当該デバイス上に金属接触部を形成するために使用することができる。また、集積密度を高めるためにはソース及びドレインの各ケイ化物層上に接触部を設けることが必要とな

- 27 -

るであろうが、それらはゲート島20の上に、該島に接触はしないが部分的に突出する。

上記の場合には、ゲート島20との接触は図の断面位置から移動されて他の場所で行われる。

この構成（図示せず）も、本発明の方法により、金属ケイ化物で被覆されるセルフアラインされた接触部を用いる本発明の他の実施例においても達成することができる。

上記を行うには、前記第2の絶縁層15を金属接触部で保護されるべき各位置において大幅に厚くすれば充分である。

上記は前記第2の絶縁層15が下記の2つの工程で付与される場合には容易に達成することができる。すなわち、第1の工程は酸化シリコンの例えば250 nmのかんりの厚さの層を形成する工程で、この場合該層は保護されるべき位置だけが局部エッチング(localized etching)により排他的に維持される。そして、この第1の工程には当該デバイスの組立体を被覆する厚さ60nmの酸化シリコン層を形成する第2の付着工程が後続する。

- 29 -

- 28 -

第9図を参照して上述した工程の間において前記第2の絶縁層15のエッチング時間を適切な値に制限することにより、ゲート島20のある部分が酸化物により保護されたままとなり（第2の絶縁層が極めて厚く設けられた場合）、他の保護されていない部分が露出されて金属ケイ化物による接触のために用いられるようにすることが容易にできる。

4. 図面の簡単な説明

第1図ないし第5図は、本発明の第1実施例による方法の異なる各工程におけるMISトランジスタの一部を概念的に示す断面図、

第6図は、同実施例の変形例を第2図に対応させて示す断面図、

第7図ないし第9図は、本発明の他の実施例における各工程を示すトランジスタの断面図である。

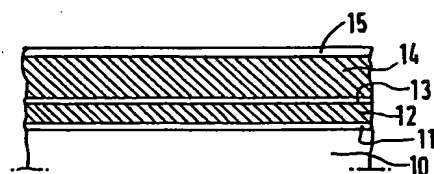
10…半導体基体、11…絶縁ゲート層、12…第1の多結晶層、13…第1の絶縁層、14…第2の多結晶

- 30 -

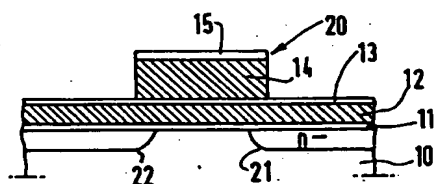
層、15…第2の絶縁層、20…ゲート島、21、22…
弱めにドーピングされた部分、21'、22'…中間
にドーピングされた部分、23…第3の多結晶層、
25…絶縁スペーサ、26…拡幅されたゲート島、28、
29…高度にドーピングされた部分、30、31…溝、
46…窒化シリコンの層。

出願人 エヌ・ベー・フィリップス・
フルーインランペンファブリケン
代理人 弁理士 沢田 雅 男

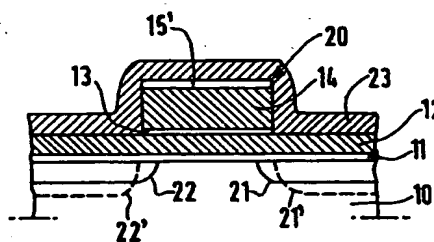
- 10 : 半導体基体
- 11 : 絶縁ゲート層
- 12 : 第1の多結晶層
- 13 : 第1の絶縁層
- 14 : 第2の多結晶層
- 15 : 第2の絶縁層
- 20 : ゲート島
- 21, 22 : 弱めにドーピングされた部分
- 21', 22' : 中間にドーピングされた部分
- 23 : 第3の多結晶層
- 25 : 絶縁スペーサ



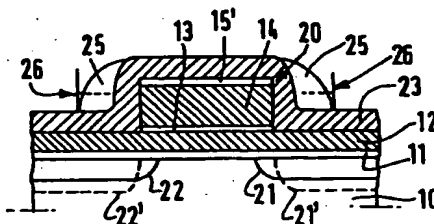
第 1 図



第 2 図

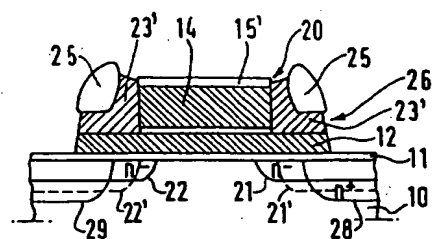


第 3 図

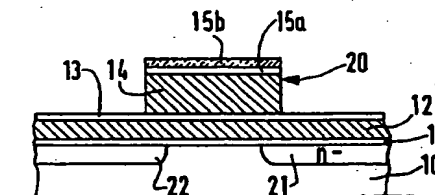


第 4 図

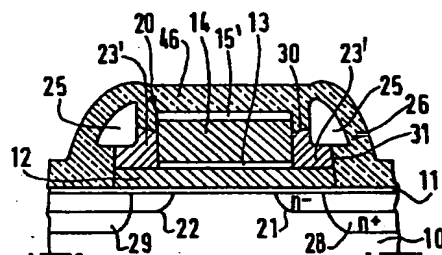
- 10 : 半導体基体
 11 : 絶縁ゲート層
 12 : 第1の多結晶層
 13 : 第1の絶縁層
 14 : 第2の多結晶層
 15' : 第2の絶縁層の部分
 20 : ゲート島
 21, 22 : 弱めにドーピングされた部分
 21', 22' : 中間にドーピングされた部分
 23' : 第3の多結晶層の部分
 25 : 絶縁スペーサ
 26 : 拡幅されたゲート島
 28, 29 : 高度にドーピングされた部分
 30, 31 : 溝
 46 : 窒化シリコンの層



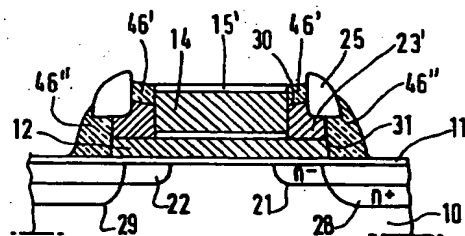
第 5 図



第 6 図

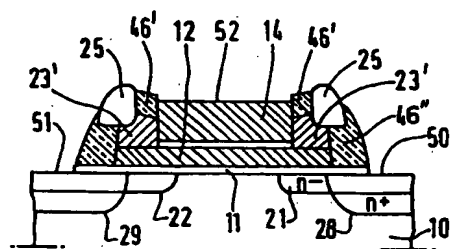


第 7 図



第 8 図

- 10 : 半導体基体
 11 : 絶縁ゲート層
 12 : 第1の多結晶層
 14 : 第2の多結晶層
 15' : 第2の絶縁層の部分
 21, 22 : 弱めにドーピングされた部分
 23' : 第3の多結晶層の部分
 25 : 絶縁スペーサ
 28, 29 : 高度にドーピングされた部分
 30, 31 : 溝
 46', 46'' : 窒化シリコンの層の部分



第 9 図